

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-327683

(43)公開日 平成 5 年(1993)12月10日

(51)IntCl.⁵

H 0 4 L 7/033

識別記号

庁内整理番号

F I

技術表示箇所

7928-5K

H 0 4 L 7/ 02

B

審査請求 未請求 請求項の数 3 (全 9 頁)

(21)出願番号 特願平4-126569

(22)出願日 平成 4 年(1992) 5 月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237651

富士通コミュニケーション・システムズ株式会社

神奈川県横浜市港北区新横浜 3 丁目 9 番18号

(72)発明者 沢野 由紀子

神奈川県横浜市港北区新横浜 3 丁目 9 番18号富士通コミュニケーション・システムズ内

(74)代理人 弁理士 井桁 貞一

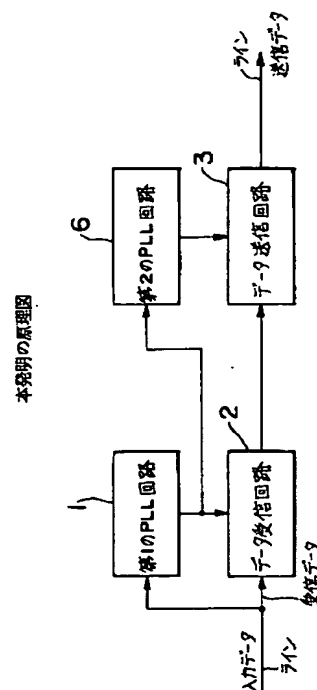
最終頁に続く

(54)【発明の名称】 クロック抽出方式

(57)【要約】

【目的】入力データから全データを受信するとともに、受信したデータを入力データに含まれていたジッタの影響を受けずに送信するためのクロックを抽出するクロック抽出方式を提供する。

【構成】各入力データをデータ受信回路2に受信させるよう動作する第1のPLL回路1、受信データをデータ送信回路3からラインに送出するよう動作する第2のPLL回路6を備え、第1のPLL回路1は各入力データに基づきこれら各入力データに対する遅延時間が短い第1のクロックを抽出しこのクロックをデータ受信回路2に送出し、第2のPLL回路6は第1のPLL回路1から出力される第1のクロックに基づきデータに対する遅延時間が前記遅延時間より長い第2のクロックを抽出しこのクロックをデータ送信回路3に送出する。



【特許請求の範囲】

【請求項1】 デジタル伝送路のライン上の各入力データをデータ受信回路(2)で受信し各データを再生してデータ送信回路(3)でライン上へ送出するレピーターにおいて、

前記各入力データを前記データ受信回路(2)に受信させるよう動作する第1のPLL回路(1)と、受信データを前記データ送信回路(3)から前記ラインに送出するよう動作する第2のPLL回路(6)とを備え、前記第1のPLL回路(1)は、前記各入力データに基づきこれら各入力データに対する遅延時間が短い第1のクロックを抽出しこのクロックを前記データ受信回路(2)に送出し、

前記第2のPLL回路(6)は、前記第1のPLL回路(1)から出力される第1のクロックに基づきデータに対する遅延時間が前記遅延時間より長い第2のクロックを抽出しこのクロックを前記データ送信回路(3)に送出することを特徴とするクロック抽出方式。

【請求項2】 前記第1のPLL回路(1)と、前記第2のPLL回路(6)との間に少なくとも1つ以上のPLL回路を設け、このPLL回路のデータに対する遅延時間は、前記2つの遅延時間の間にあることを特徴とする請求項1記載のクロック抽出方式。

【請求項3】 前記各PLL回路(1, 6)は、入力データの位相と基準信号の位相とを比較して誤差信号を得る位相比較器(1a, 6a)と、前記誤差信号を積分して直流電圧に変換する低域通過フィルタ(1c, 6c)と、前記直流電圧に応じて前記基準信号の周波数を制御する電圧制御発振器(1b, 6b)からなり、前記遅延時間は、前記低域通過フィルタ(1c, 6c)におけるカットオフ周波数により制御されることを特徴とする請求項1または請求項2記載のクロック抽出方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル伝送路のライン上のジッタを含む入力データをデータ受信回路で受信しこのデータを再生してデータ送信回路でライン上へ送出するレピーターにおいて、データ受信回路及びデータ送信回路を動作させるべく入力データに基づきクロックを抽出するためのクロック抽出方式に関する。

【0002】

【従来の技術】デジタル通信システムにおいて、データがデジタル伝送路中で通信歪みを受けたり、あるいは微弱となる場合がある。かかる通信歪みなどを受けたデータを中継・再生する回路として、レピータが知られている。このレピータは、デジタル伝送路のライン上から入力データをデータ受信回路で受信しこのデータを中継・再生してデータ送出回路から送信データとしてライン上へ送出する。

【0003】図9は従来のこの種のレピーターの一例を示す構成ブロック図である。図9において、データ受信回路2、判定部7、データ送信回路3が設けられている。PLL回路(Phase Lock Loop)10は、位相比較器11、低域通過フィルタ(LPF, ローパスフィルタ)12、電圧制御発振器(VCO, Voltage Controlled Oscillator)13からなり、データ受信回路2及びデータ送信回路3を動作させるために入力データに基づきクロックを抽出する。

【0004】このような構成において、位相比較器11では、入力データの位相と電圧制御発振器13からの基準信号の位相とを比較して位相差を誤差信号に変換し、低域通過フィルタ12では、誤差信号を積分して直流電圧に変換する。そして、電圧制御発振器13では、直流電圧に応じて基準信号の周波数を制御し、制御された基準信号を位相比較器11に送る。PLL回路10では、これらの回路でループを形成することにより、基準信号の周波数を入力データの周波数に一致させていく。

【0005】一致した基準信号、すなわち前記クロックをデータ受信回路2及びデータ送信回路3に出力することで、データ受信回路2がクロックの例えば立ち上がりで入力データを受信する。さらに、判定部7では、受信データの符号を判定し、データ送信回路3では、前記クロックでデータをラインに送っている。

【0006】

【発明が解決しようとする課題】しかしながら、従来のレピータにあっては、入力データを受信及び送信するために共通のクロックが用いられていたため、入力データにジッタ(揺らぎ)を含むような場合には、次のような問題があった。

(1) 入力データに対して追従性の良いPLL回路を用いた場合には、図10に示すように、ジッタの影響を受けた各入力データ(間隔が不等)に対応して、抽出クロックもジッタの影響を受けたものとなる。このため、このクロックでデータを送信するので、ジッタを有したまままで送信データが送られてしまう。

(2) 一方、入力データに対して追従性の良くないPLL回路を用いた場合には、図11に示すように、ジッタの影響を受けた各入力データ(間隔が不等)に関係なく、一定周期の抽出クロックとなる。このため、この抽出クロックで入力データを受信すると、受信データは入力データの一部を欠落する。図11においては、例えば入力データ4、入力データ8が受信できなくなり、このため判定部において、入力データ4、入力データ8で符号誤りが発生してしまう。

【0007】本発明は、このような点に鑑みてなされたもので、その目的とするところは、入力データから全データを受信するとともに、受信したデータを入力データに含まれていたジッタの影響を受けずに送信するためのクロックを抽出するクロック抽出方式を提供することに

ある。

【0008】

【課題を解決するための手段】本発明は、上記課題を解決し目的を達成するために下記の構成とした。図1は本発明の原理図である。図1に示すように本発明は、各入力データをデータ受信回路2に受信させるよう動作する第1のPLL回路1、受信データをデータ送信回路3からラインに送出するよう動作する第2のPLL回路6とを備えている。

【0009】第1のPLL回路1は、各入力データに基づきこれら各入力データに対する遅延時間が短い第1のクロックを抽出しこのクロックをデータ受信回路2に送出する。

【0010】第2のPLL回路6は、第1のPLL回路1から出力される第1のクロックに基づきデータに対する遅延時間が遅延時間より長い第2のクロックを抽出しこのクロックをデータ送信回路3に送出する。

【0011】より好適には、以下のようにするのが、望ましい。すなわち、第1のPLL回路1と、第2のPLL回路6との間に少なくとも1つ以上のPLL回路を設け、このPLL回路のデータに対する遅延時間は、2つの遅延時間の間にあるよう構成する。

【0012】また、各PLL回路1、6は、入力データの位相と基準信号の位相とを比較して誤差信号を得る位相比較器1a、6a、誤差信号を積分して直流電圧に変換する低域通過フィルタ1c、6c、直流電圧に応じて基準信号の周波数を制御する電圧制御発振器1b、6bからなり、遅延時間は、低域通過フィルタ1c、6cにおけるカットオフ周波数により制御される。

【0013】

【作用】本発明によれば、データに対する遅延時間が短い抽出クロックすなわち、データ追従性のよいPLL回路1の抽出クロックによって、入力データから全データをデータ受信回路2で受信するので、符号誤りの発生を防止できる。

【0014】またデータに対する遅延時間が比較的長い抽出クロックすなわち、データ追従性の劣るPLL回路6の安定した抽出クロックを用いるから、データ送信回路32によって、入力データに含まれていたジッタの影響を受けずに、受信データを全て送信することができる。

【0015】よって、データ受信回路及びデータ送信回路のためのクロックを、別個のものとして抽出し、データの中継・再生がより確実なものとなる。また、PLL回路を3つ以上設け、遅延時間を徐々に長くするようにすれば、さらに効果が大きくなる。

【0016】さらに、遅延時間は、低域通過フィルタ1c、6cにおけるカットオフ周波数を高くすると短くなり、カットオフ周波数を低くすると長くなる。

【0017】

【実施例】以下、本発明の具体的な実施例を説明する。図2は本発明に係るクロック抽出方式を実現するためのレピータの一実施例を示す構成ブロック図である。

【0018】図2において、データ受信回路2は、ディジタル伝送路上の入力ライン8及びPLL回路1に接続され、PLL回路1からの各抽出クロックの立ち上がりにより動作して、入力ライン7からジッタを含む時系列の各入力データを受信するようになっている。データ受信回路2の出力側には、受信データの符号を判定する判定部7が接続されている。

【0019】PLL回路1は、入力ライン8及びデータ受信回路2に接続され、入力データに基づきクロックを抽出し、このクロックをデータ受信回路2及びPLL回路4に送る。PLL回路1は、位相比較器1a、これに接続される低域通過フィルタ1c、これに接続され且つ位相比較器1aに接続される電圧制御発振器1bからなる。

【0020】PLL回路6は、位相比較器6a、これに接続される低域通過フィルタ6c、これに接続され且つ位相比較器6aに接続される電圧制御発振器6bからなる。PLL回路1とPLL回路6との間には、PLL回路4とPLL回路5とが直列に接続されており、PLL回路4、5も図示しないが、位相比較器、低域通過フィルタ、電圧制御発振器を有してなる。

【0021】データ送信回路3は、判定部7及びPLL回路6に接続され、PLL回路6からのクロックに基づき判定部7からのデータを出力ライン9に送出するようになっている。

【0022】入力データに対する追従性（過渡応答）の良さについては、PLL回路1、PLL回路4、PLL回路5、PLL回路6の順となっている。よって、PLL回路1は、データ受信回路2が、入力データから全てのデータを受信できるように、クロックを抽出するようになっている。

【0023】生成されるクロックの安定度については、PLL回路6、PLL回路5、PLL回路4、PLL回路1の順となっている。よって、PLL回路1で生成されたクロックを基に安定したクロックを生成するようになっている。

【0024】入力データに対する追従性（過渡応答）の良さ及び生成されるクロックの安定度は、PLLの諸特性を決定する低域通過フィルタで行っており、低域通過フィルタの特性が、PLL回路1、4、5、6のそれぞれについて異なる点が本実施例の特徴である。なお、その他の特性は各PLL回路について同一である。以下、各PLL回路の構成として例えばPLL回路1について説明する。

【0025】PLL回路1は、VCO1bの出力の位相と基準信号の位相とを比較し、VCO1bの位相が基準信号の位相より進んでいる場合には、VCO1bの周波

数を下げて位相を遅らせ、これとは逆であればVCO1bの周波数を上げて位相を進めるよう制御して、VCO1bと基準信号との周波数を一致させ、位相ロックをかける。

【0026】位相比較器1aは、例えばエクスクルーシブ・オア回路31であり、このエクスクルーシブ・オア回路31の構成を図に示す。図4に各信号のタイムチャートを示す。図4に示すように、入力データと、電圧制御発振器1bからの信号とをエクスクルーシブ・オア回路31に入力して排他論理演算を行うと、その位相差に対応した誤差出力が得られ、この誤差出力を低域通過フィルタ1cに出力するようになっている。このほか、例えばトランスとダイオードからなるダブル・バランスド・ミキサ型の位相比較器を用いてもよい。

【0027】低域通過フィルタ1cは、例えばラグフィルタ、ラグリードフィルタ、完全積分2次フィルタ、完全3次フィルタなどであり、位相比較器1aから出力される誤差出力の周波数の中の低域周波数のみを通過させ、誤差出力に比例した直流電圧を電圧制御発振器1bに出力する。

【0028】低域通過フィルタ1cは、PLLが定常状態にあるときに位相誤差があると、位相比較器1aから基準信号の周期で細長いパルスとして出力信号が出力される。従って、このパルスは基準信号と同じ周波数成分との整数倍の周波数成分を含み、このパルスがフィルタに加わり、積分されて直流となり、この直流によってVCO1bの周波数及び位相が制御される。

【0029】図5は低域通過フィルタの一例を示す構成図である。図5に示す低域通過フィルタは、入出力端子間に接続される抵抗Rと、出力端子間にコンデンサCとからなる。図6は低域通過フィルタの特性図である。RCの定数を適宜設定することにより、図6に示すように低域通過フィルタ1cは、帯域が比較的広くカットオフ周波数 f_{cl} となっており、低域通過フィルタ6cは、帯域が比較的狭くカットオフ周波数 f_{cs} となっている。PLL回路4、5の低域通過フィルタは、カットオフ周波数 f_{cl} 、 f_{cs} であって、 f_{cl} と f_{cs} と間にある。

【0030】低域通過フィルタの最大遅延時間 t は、カットオフ周波数の逆数に比例する。従って、カットオフ周波数が高い方が、最大遅延時間は小さくなり、追従性がよいことになる。また、最大遅延時間と安定性とは相反する関係にあるから、遅延時間が小さいときは、安定性が悪く、遅延時間が大きいときは、安定性がよくなる。

【0031】従って、低域通過フィルタ1cは、帯域が比較的広いから、入力データに対する追従性を良くし、低域通過フィルタ6cは、帯域が比較的狭いから、受信データに対する安定性を良くしている。

【0032】電圧制御発振器1bは、例えば図7に示すようにFET33、このゲートに接続されるLC素子、

これに並列接続され逆電圧によって容量が変化するバリキャップD(可変容量ダイオード)を有する発振回路40からなり、低域通過フィルタ1cから出力される直流電圧に応じて信号の発振周波数を制御し、その発振周波数を位相比較器1aに出力するようになっている。また、電圧制御発振器1bは、直流電圧の変化の方向が、入力信号と同一方向に変化するよう制御する。なお、フリップフロップ回路、トランジスタなどの発振回路を用いるようにしてもよい。

10 【0033】図8はクロック抽出方式の動作を説明するためのタイムチャートである。次に、このように構成された実施例の動作について図面を参照して説明する。入力ライン8からの入力データに基づいてPLL回路1では、低域通過フィルタ1cのカットオフ周波数 f_{cl} により最大遅延時間が小さくなるので、入力データに対して追従性が非常に良くなる。よって、図8に示すように抽出クロックC1となり、この抽出クロックC1によって、データ受信回路2に受信データD1を受信するように動作する。この状態では、受信データD1はデータ

20 4、7付近で特にジッタの影響を受けている。

【0034】次に、PLL回路4では、抽出クロックC1に基づいて低域通過フィルタのカットオフ周波数 f_{cl} により、受信データD1に対して追従性がやや悪くなる。よって、図8に示すようにデータ4、7に対応するクロック間隔がやや広がった抽出クロックC4となり、この抽出クロックC4がPLL回路5に入力される。

【0035】さらに、PLL回路5では、抽出クロックC4に基づいて低域通過フィルタのカットオフ周波数 f_{cs} により、受信データD4に対して追従性がやや悪くなる。よって、図8に示すようにデータ4、7に対応するクロック間隔がさらに広がった抽出クロックC5となり、この抽出クロックC5がPLL回路6に入力されることになる。

【0036】最後に、PLL回路6では、抽出クロックC5に基づいて低域通過フィルタ6cのカットオフ周波数 f_{cs} により、受信データD5に対して追従性が悪くなる。よって、図8に示すようにデータ4、7に対応するクロック間隔が非常に広がった抽出クロックC6となり、安定した抽出クロックとなる。この抽出クロックC6がデータ送信回路3に入力されることで、判定部7からのデータが送信データD6として出力ライン9に送られる。

【0037】このように本実施例によれば、データ追従性のよいPLL回路1の抽出クロックによって、入力データから全データを受信することで、判定部7における符号誤りの発生を防止できる。またデータ追従性は劣るが、PLL回路6の安定した抽出クロックによって、入力データに含まれていたジッタの影響を受けずに、受信データを全て送信することができる。

50 【0038】すなわち、4つのPLL回路1、4、5、

6を直列に接続することにより、データ受信回路2及びデータ送信回路3のためのクロックを、別個のものとして抽出し、データの中継・再生がより確実なものとなる。

【0039】なお、実施例では、4つのPLL回路1, 4, 5, 6を用いて説明したが、例えば2つのPLL回路1, 6とを直接に接続して用いてもよい。あるいはその他の数のPLL回路を用いてもよい。

【0040】

【発明の効果】本発明によれば、データ追従性のよいPLL回路の抽出クロックによって、入力データから全データを受信することで、符号誤りの発生を防止できる。またデータ追従性の劣るPLL回路の安定した抽出クロックによって、入力データに含まれていたジッタの影響を受けずに、受信データを全て送信することができる。すなわち、複数のPLL回路を接続することにより、データ受信回路及びデータ送信回路のためのクロックを、別個のものとして抽出し、データの中継・再生がより確実なものとなる。

【図面の簡単な説明】

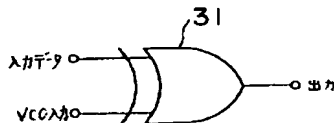
【図1】本発明の原理図である。

【図2】本発明に係るクロック抽出方式を実現するためのレピータの一実施例を示す構成ブロック図である。

【図3】位相比較器の一例としてのエクスクルーシブ・オア回路の構成図である。

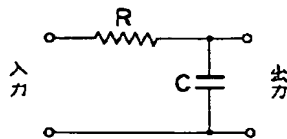
【図3】

位相比較器の一例としてのエクスクルーシブ・オア回路の構成図



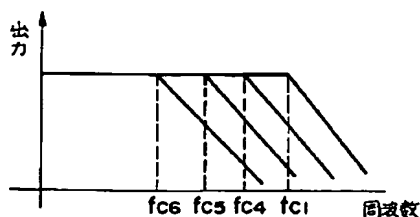
【図5】

低域通過フィルタの一例を示す構成図



【図6】

低域通過フィルタの特性図



* 【図4】エクスクルーシブ・オア回路における各信号のタイムチャートである。

【図5】低域通過フィルタの一例を示す構成図である。

【図6】低域通過フィルタの特性図である。

【図7】FETを用いた電圧制御発振器の一例を示す構成図である。

【図8】クロック抽出方式の動作を説明するためのタイムチャートである。

【図9】従来のこの種のレピータの一例を示す構成ブロック図である。

【図10】入力データに対して追従性の良いPLL回路を用いた場合の抽出クロック等のタイムチャートである。

【図11】入力データに対して追従性の良くないPLL回路を用いた場合の抽出クロック等のタイムチャートである。

【符号の説明】

1, 4, 5, 6, 10・・・PLL回路

1a, 6a, 11・・・位相比較器

1b, 6b, 13・・・電圧制御発振器

1c, 6c, 12・・・低域通過フィルタ

2・・・データ受信回路

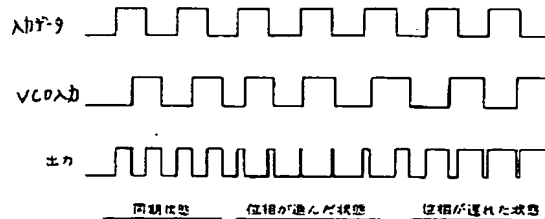
3・・・データ送信回路

7・・・判定部

31・・・エクスクルーシブ・オア回路

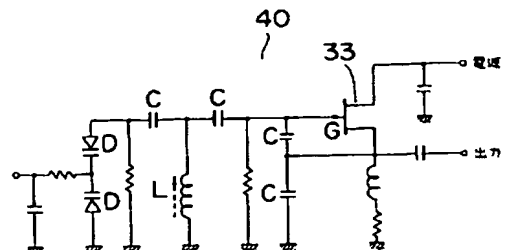
【図4】

エクスクルーシブ・オア回路における各信号のタイムチャート



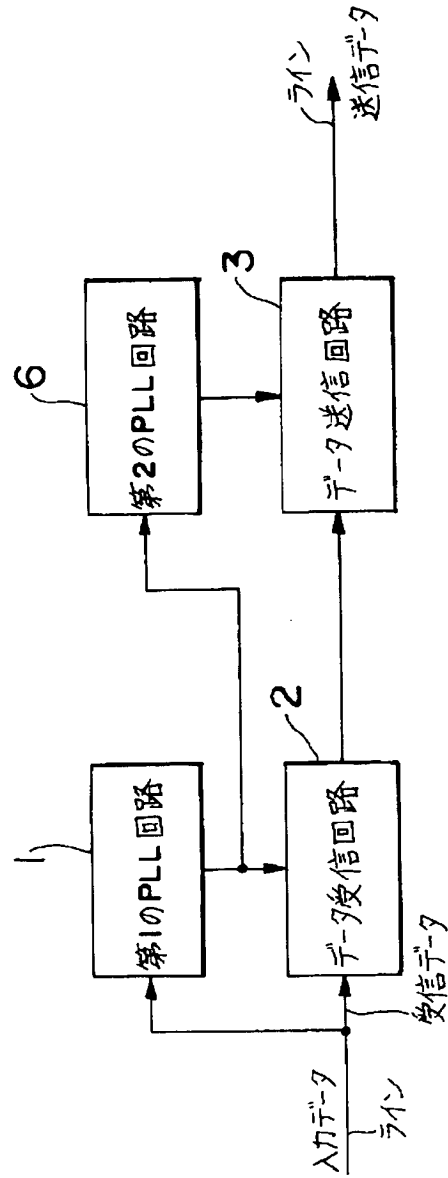
【図7】

FETを用いた電圧制御発振器の一例を示す構成図



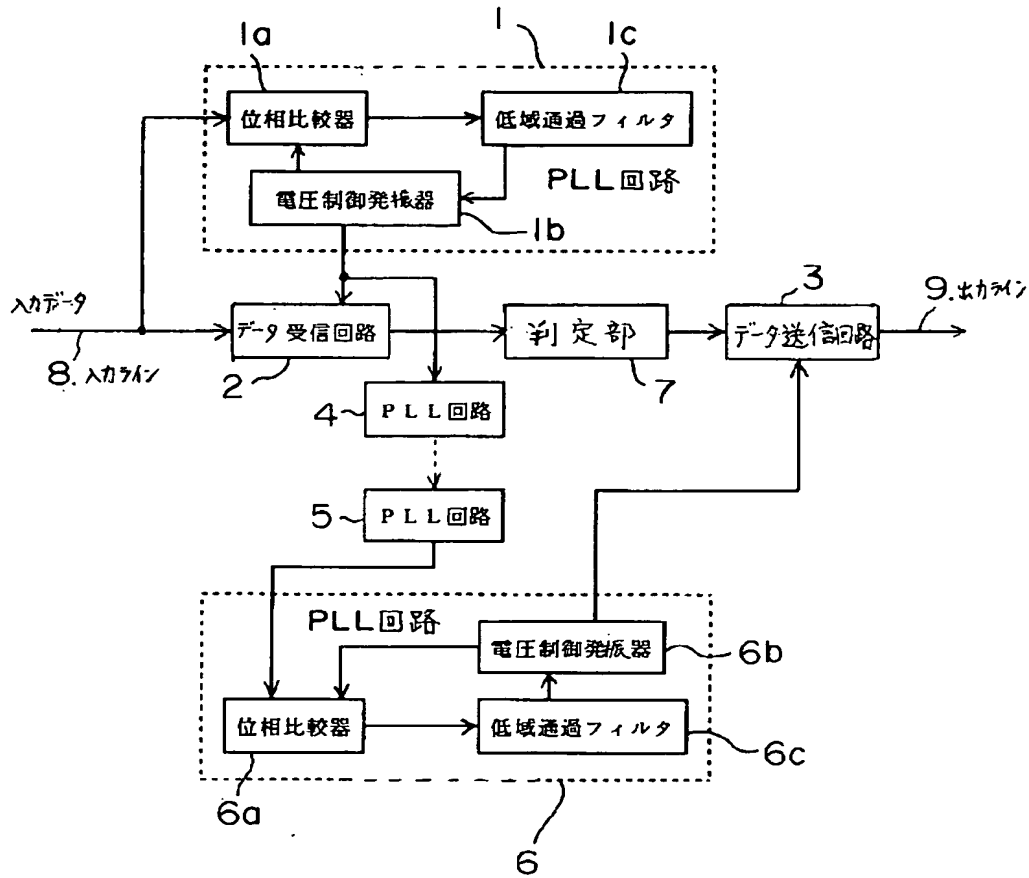
【図1】

本発明の原理図



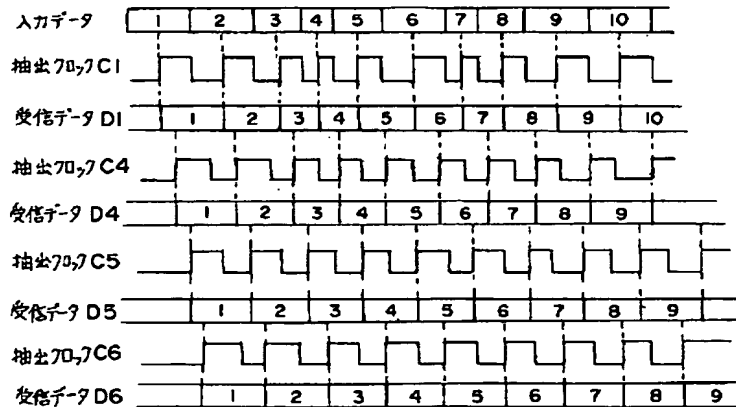
【図2】

本発明に係るクロック抽出方式を実現するためのレピータの一実施例を示す構成ブロック図



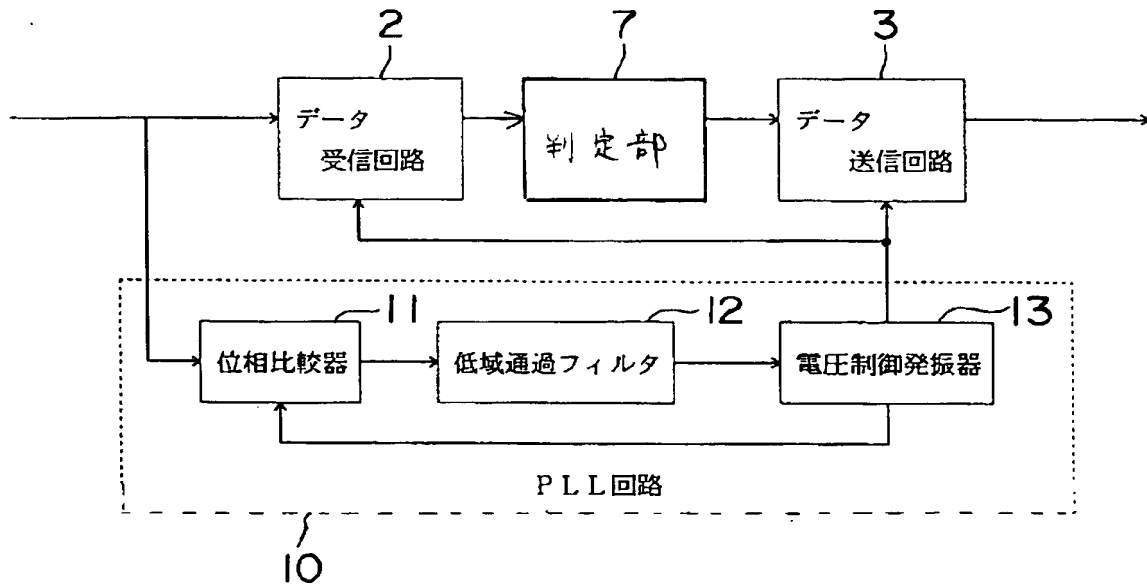
【図8】

クロック抽出方式の動作を説明するためのタイムチャート



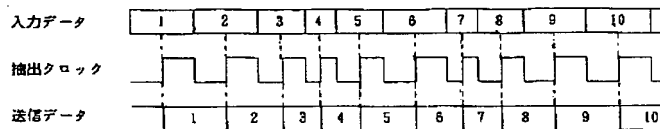
【図9】

従来のこの種のレピーターの一例を示す構成ブロック図



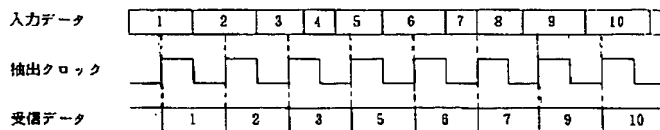
【図10】

入力データに対して追従性の良いPLL回路を用いた場合の抽出クロック等のタイムチャート



【図11】

入力データに対して追従性の良くないPLL回路を用いた場合の抽出クロック等のタイムチャート



フロントページの続き

(72)発明者 田中 康夫
神奈川県横浜市港北区新横浜３丁目９番１８
号富士通コミュニケーション・システムズ
内

(72)発明者 大内 斉
神奈川県横浜市港北区新横浜３丁目９番１８
号富士通コミュニケーション・システムズ
内

THIS PAGE BLANK (USPTO)